

一个六输入可编程序触发逻辑线路

丁慧良 杨熙荣 郁忠强 顾松华

(中国科学院高能物理研究所)

摘 要

利用 ECL 的随机存取存储器 (RAM) $E855\ 64 \times 1$ 作了一个六输入可编程序触发逻辑线路 (NIM 标准)。能实现输入端数 $N \leq 6$ 的任何逻辑功能。当改变不同的逻辑组合时, 不需要改变任何硬件和连线, 只需重新加载一次就可以了。本线路可以代替输入端数 $N \leq 6$ 的任何逻辑功能的各种 NIM 逻辑单元用于高能物理在线实验中。利用这种原理可期望发展价格低廉的、使用灵活的和规模很大的触发逻辑系统满足高能物理计数器实验的需要。

本线路的输入脉冲是脉宽 ≥ 4 毫微秒的 NIM 信号。输出亦为 NIM 信号。输出端给出 32 毫安的电流, 可连接两个 50 欧姆的负载, 组成桥式输出。电路工作于选通和无选通两种方式。

一、引 言

在高能物理的计数器实验中, 常采用闪烁计数器望远镜或多丝正比室作为触发计数器。基于从这些探测器来的信号, 通过一定的触发逻辑系统, 选择满足一定空间关联的事件, 给出触发信号, 告诉在线计算机将此事件记录下来, 作为进一步分析的候选事例。很多年来, 触发逻辑系统均采用标准的 NIM 逻辑单元, 或者是二极管或晶体三极管组成的门矩阵来实现的。当用于触发的探测器单元数不太大时, (譬如说几十个单元) 这是合适的。但近年来, 随着高能加速器能量的提高, 探测器的规模越来越大, 作触发用的探测器数目越来越多。这时, 采用标准的 NIM 插件, 规模太大, 价格极其昂贵。采用门矩阵的方法, 所需要的元件数也十分惊人。另外, 由门矩阵组成的逻辑电路, 其逻辑一旦固定就无法改变, 不同条件的实验必须有各自的触发逻辑电路。A. Fucci 等人^[1]提出了一个可编程序的快触发逻辑的原理, 这完全是新的概念, 其核心是利用 ECL 的随机存取存储器 (RAM)。可以期望利用这种原理发展低价格的、使用灵活的、规模很大的触发逻辑系统满足高能物理计数器实验的需要。

本文利用 A. Fucci 等人提出的原理, 作了一个六输入可编程序触发逻辑单元 (NIM 标准), 可实现 $N \leq 6$ 之间的任何逻辑功能。这种规模较小的线路, 不仅能用于高能物理的在线实验中, 而且在其他领域也将是非常有用的。

二、线路及性能

图1给出了线路的原理图。用的RAM是871厂生产的E855 64 × 1全译码随机存储器，输入和输出级采用NIM/ECL电平转换和ECL/NIM电平转换，以适应和其他NIM单元一起工作。线路在使用前必须先按照所要求的逻辑功能写入数据，数据的写入是由手动完成的，地址的选择由开关 I_1-I_6 进行，数据由开关S选择送到RAM的数据输入端 D_{in} ，每加载存储器中的一位，必须压一次按钮开关P。由图上看到，手动地址选择

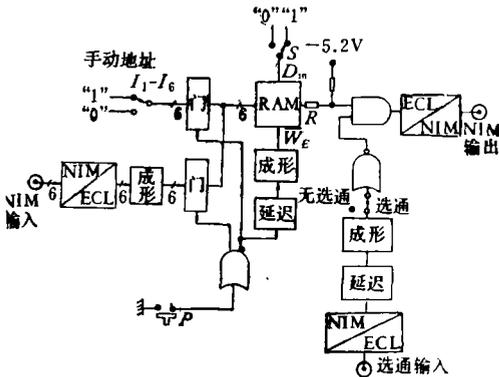


图1 六输入可编程触发逻辑原理方块图

和输入脉冲分别通过门控后，然后“线或”送到RAM的地址输入端。当加载时，即压下按钮开关P，关闭输入脉冲的门，打开手动地址选择的门，让被选择的地址（电平“0”或“1”）送到RAM的地址输入端，加载的同时，另一个信号通过延迟成形，在RAM的写输入端 \overline{W}_E 给一个负脉冲（电平由“1”到“0”），这时，预置的数据“1”或“0”就从数据输入端加到了相应地址的存储单元中。对六输入而言，要预置某一种给定的逻辑功能，必须依次加载 $2^6 = 64$ 步。表1给出了几个数据加载的实例。当输入端数 $N < 6$ 时，譬如说，要求得到四输入端的某种逻辑功能时，可以用六输入端中的任意四个，余下的二个输入端空着，加载时将不用的地址端永远放在“0”的位置，这样，对四输入端的任何给定的逻辑只要依次加载16步。当按照预定的逻辑要求加载完毕后，线路就可以工作了。输入脉冲经过NIM/ECL电平转换，整形成一定宽度的脉冲，通过常开的门电路，加到RAM的地址输入端，将输入脉冲所相应地址的存储器中的内容“1”或“0”读出来，这样就实现了预置的逻辑关系。这儿用的RAM是全译码的，为了避免译出错误的假信号，要求输入脉冲在时间上同时，并且有相同的宽度，所以在输入端用了成形级。由于边沿效应，目前使用的RAM的输出端总有一些不希望的剩余小脉冲出现，选择合适的电阻R，然后通过后面的ECL/NIM电平转换级的阈，将这些小脉冲去掉。由于不同地址的取数时间上有一定的离散，线路中采用了选通的办法，取输入级的成形脉冲宽度为~25毫微秒，选通脉冲的宽度~10毫微秒，调节选通脉冲的延迟时间使它在RAM输出脉冲的中间部分，这样，在输出端就可以得到定时好、宽度一定的脉冲，而且完全去掉了边沿效应的影响。输出级采用双三极管的电流开关，输出32毫安的电流，可接二个50欧姆的负载，组成桥式输出。整个线路的详细图见图2。

本线路要求的输入脉冲是脉宽 ≥ 4 毫微秒的NIM信号，输入脉冲前沿允许有 < 3 毫微秒的时间离散，最高工作重复频率达20兆周。输出为NIM信号，上升和下降时间均为1.5毫微秒。当不用选通时，输入一输出脉冲的延迟为31毫微秒，输出脉冲前沿的离散 $< \pm 3$ 毫微秒。当用选通时，输入一输出脉冲的延迟为40毫微秒，输出脉冲的前沿没有

表 1 四种不同逻辑组合加载数据的例子

输 入						字	不同逻辑组合加载的数据			
I ₁	I ₂	I ₃	I ₄	I ₅	I ₆		1+2+3+4+5+6	1·2·(3+4+5+6)	六个中任意三个	六个中任意二个或四个
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	1	1	0	0	0
0	1	0	0	0	0	2	1	0	0	0
1	1	0	0	0	0	3	1	0	0	1
0	0	1	0	0	0	4	1	0	0	0
1	0	1	0	0	0	5	1	0	0	1
0	1	1	0	0	0	6	1	0	0	1
1	1	1	0	0	0	7	1	1	1	0
0	0	0	1	0	0	8	1	0	0	0
1	0	0	1	0	0	9	1	0	0	1
0	1	0	1	0	0	10	1	0	0	1
1	1	0	1	0	0	11	1	1	1	0
0	0	1	1	0	0	12	1	0	0	1
1	0	1	1	0	0	13	1	0	1	0
0	1	1	1	0	0	14	1	0	1	0
1	1	1	1	0	0	15	1	1	0	1
0	0	0	0	1	0	16	1	0	0	0
1	0	0	0	1	0	17	1	0	0	1
0	1	0	0	1	0	18	1	0	0	1
1	1	0	0	1	0	19	1	1	1	0
0	0	1	0	1	0	20	1	0	0	1
1	0	1	0	1	0	21	1	0	1	0
0	1	1	0	1	0	22	1	0	1	0
1	1	1	0	1	0	23	1	1	0	1
0	0	0	1	1	0	24	1	0	0	1
1	0	0	1	1	0	25	1	0	1	0
0	1	0	1	1	0	26	1	0	1	0
1	1	0	1	1	0	27	1	1	0	1
0	0	1	1	1	0	28	1	0	1	0
1	0	1	1	1	0	29	1	0	0	1
0	1	1	1	1	0	30	1	0	0	1
1	1	1	1	1	0	31	1	1	0	0
0	0	0	0	0	1	32	1	0	0	0
1	0	0	0	0	1	33	1	0	0	1
0	1	0	0	0	1	34	1	0	0	1
1	1	0	0	0	1	35	1	1	1	0
0	0	1	0	0	1	36	1	0	0	1
1	0	1	0	0	1	37	1	0	1	0
0	1	1	0	0	1	38	1	0	1	0
1	1	1	0	0	1	39	1	1	0	1
0	0	0	1	0	1	40	1	0	0	1
1	0	0	1	0	1	41	1	0	1	0
0	1	0	1	0	1	42	1	0	1	0
1	1	0	1	0	1	43	1	1	0	1
0	0	1	1	0	1	44	1	0	1	0

续表

输入						字	不同逻辑组合加载的数据			
I ₁	I ₂	I ₃	I ₄	I ₅	I ₆		1+2+3+4+5+6	1·2(3+4+5+6)	六个中任意三个	六个中任意二个或四个
1	0	1	1	0	1	45	1	0	0	1
0	1	1	1	0	1	46	1	0	0	1
1	1	1	1	0	1	47	1	1	0	0
0	0	0	0	1	1	48	1	0	0	1
1	0	0	0	1	1	49	1	0	1	0
0	1	0	0	1	1	50	1	0	1	0
1	1	0	0	1	1	51	1	1	0	1
0	0	1	0	1	1	52	1	0	1	0
1	0	1	0	1	1	53	1	0	0	1
0	1	1	0	1	1	54	1	0	0	1
1	1	1	0	1	1	55	1	1	0	0
0	0	0	1	1	1	56	1	0	1	0
1	0	0	1	1	1	57	1	0	0	1
0	1	0	1	1	1	58	1	0	0	1
1	1	0	1	1	1	59	1	1	0	0
0	0	1	1	1	1	60	1	0	0	1
1	0	1	1	1	1	61	1	0	0	0
0	1	1	1	1	1	62	1	0	0	0
1	1	1	1	1	1	63	1	1	0	0

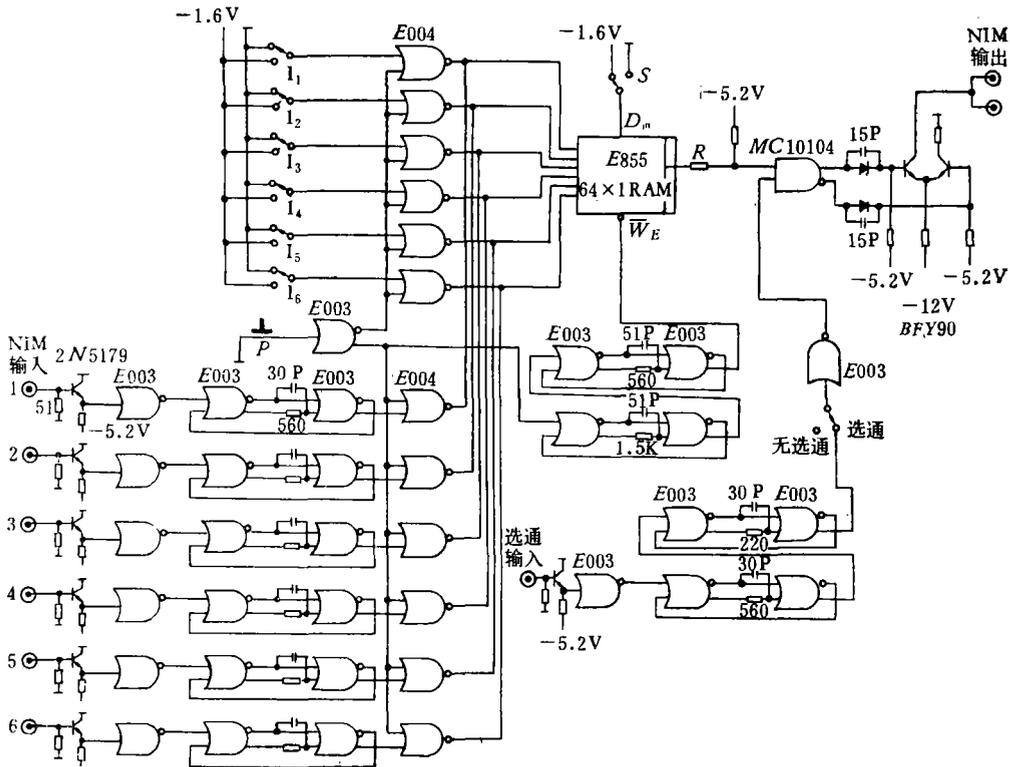


图2 六输入可编程序触发逻辑线路

离散。

三、讨 论

本线路使用的 E855 64×1 全译码随机存取器的地址取数时间有较大的离散, 高达 10—15 毫微秒, 这给线路调整带来很大的困难。实验发现, 输入到位地址端的脉冲加接大约 10 毫微秒的延迟电缆后, 可以减小输入—输出脉冲延迟的离散, 仔细调整此延迟电缆长度可以使输出脉冲的前沿离散 $< \pm 3$ 毫微秒。

本线路的最高工作重复频率主要决定于输入成形级, 假如输入脉冲已经整形成相同宽度的窄脉冲, 可以取消线路中的成形级, 大大提高线路工作的最高重复频率。假如能改进 RAM 的地址取数时间离散, 可以期望最高工作重复频率达 100 兆周。

六输入可编程序触发逻辑线路, 可以实现 $N \leq 6$ 的任何逻辑功能, 线路简单, 使用方便, 当改变不同的逻辑组合时, 不需要改变任何硬件和连线, 只需重新加载一次就可以了。本线路可以代替输入端数 $N \leq 6$ 的任何逻辑功能的各种 NIM 逻辑单元。

参 考 文 献

- [1] A. Fucci et al., *Nuclear Instruments and Methods*, **147**(1977), 587.

A SIX INPUTS PROGRAMMABLE TRIGGER LOGICAL CIRCUIT

DING HUI-LIANG YANG XI-RONG YU ZHONG-QIANG GU SONG-HUA

(*Institute of High Energy Physics, Academia Sinica*)

ABSTRACT

A Six Inputs Programmable Trigger Logical Circuit (NIM Standard) has been developed using a ECL fully decoded random access memory (RAM) E855 64×1 . This circuit can realize various logical functions of the inputs $N \leq 6$. While varying logical combinations of the inputs, what is required is only loading the memories again and without hardware or link modifications. It can replace the logical NIM circuits of the inputs $N \leq 6$ which are used in the on-line experiments of the high energy physics. Based on this principle, it can be expected to develop a low prices, facile and large scale trigger logical system in order to satisfy the requirements of the high energy physics counter experiments.

In this circuit the input signal is standard NIM level with the pulse width ≥ 4 ns. The output signal is also standard NIM level. The output can supply 32 mA current, and connect two 50Ω loads to form the bridge output. The circuit works with both strobe and no strobe format.